

⑫ 公開特許公報(A) 平2-81472

⑤ Int. Cl.³

識別記号

庁内整理番号

④ 公開 平成2年(1990)3月22日

H 01 L 27/108
27/04C 7514-5F
8624-5F

H 01 L 27/10

3 2 5 F※

審査請求 未請求 請求項の数 10 (全19頁)

⑬ 発明の名称 半導体記憶装置及びその製造方法

⑭ 特 願 昭63-231979

⑮ 出 願 昭63(1988)9月16日

⑯ 発 明 者 佐 川 雅 一 東京都青梅市今井2326番地 株式会社日立製作所デバイス
開発センタ内⑯ 発 明 者 大 塚 文 雄 東京都青梅市今井2326番地 株式会社日立製作所デバイス
開発センタ内⑯ 発 明 者 杉 浦 順 東京都青梅市今井2326番地 株式会社日立製作所デバイス
開発センタ内⑯ 発 明 者 土 屋 修 東京都青梅市今井2326番地 株式会社日立製作所デバイス
開発センタ内

⑰ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑱ 代 理 人 弁理士 秋田 収 喜

最終頁に続く

明細書

1. 発明の名称

半導体記憶装置及びその製造方法

2. 特許請求の範囲

1. データ線とワード線との交差部に夫々に接続されたMISFETを有するメモリセルが配置された半導体記憶装置において、前記メモリセルのMISFETが、前記ワード線の延在方向の溝幅寸法が狭くデータ線の延在方向の溝幅寸法が広い細溝で周囲を囲まれた活性島領域に構成され、このMISFETのゲート電極が、前記ワード線の延在方向の細溝内に選択的に埋込まれ、かつデータ線の延在方向の細溝内の活性島領域の側壁に細溝に対して自己整合で構成されていることを特徴とする半導体記憶装置。
2. 前記活性島領域の周囲に設けられた細溝は素子分離領域を構成していることを特徴とする請求項1に記載の半導体記憶装置。
3. 前記ゲート電極はワード線としても使用されていることを特徴とする請求項1又は請求項2

に記載の半導体記憶装置。

4. 前記活性島領域の主面部には前記メモリセルのMISFETの一方の半導体領域が設けられ、この一方の半導体領域には前記データ線が電気的に接続されていることを特徴とする請求項1乃至請求項3に記載の夫々の半導体記憶装置。
5. 前記メモリセルはメモリセル選択用MISFETと情報蓄積用容量素子との直列回路で形成されたDRAMのメモリセルであり、前記MISFETはメモリセル選択用MISFETであることを特徴とする請求項1乃至請求項4に記載の夫々の半導体記憶装置。
6. 前記DRAMのメモリセルの情報蓄積用容量素子は前記細溝内のメモリセル選択用MISFETの下部に設けられていることを特徴とする請求項5に記載の半導体記憶装置。
7. 前記DRAMのメモリセルの情報蓄積用容量素子は、前記細溝内の活性島領域の側壁の主面部に設けられた半導体領域と、この半導体領域の主面上に設けられた誘電体膜と、この誘電体

膜上に設けられた電極膜とで構成されていることを特徴とする請求項6に記載の半導体記憶装置。

8. 前記請求項1に記載の活性島領域はデータ線、ワード線の夫々の延在方向に複数配置されメモリセルアレイを構成し、個々の活性島領域の周囲を囲む細溝のうちメモリセルアレイの端部に位置する細溝の溝幅寸法は、メモリセルアレイ内の活性島領域の周囲のデータ線の延在方向の細溝の溝幅寸法と同等又はそれに比べて大きく構成されていることを特徴とする半導体記憶装置。

9. データ線とワード線との交差部に夫々に接続されたMISFETを有するメモリセルが配置された半導体記憶装置の製造方法において、前記ワード線の延在方向の溝幅寸法が狭くデータ線の延在方向の溝幅寸法が広い細溝で周囲を囲まれた活性島領域を形成する工程と、前記活性島領域の表面及び細溝の内壁の表面を含む全面に均一な膜厚の導電膜を堆積する工程と、該導

電膜に異方性エッチングを施して堆積した膜厚に相当する分導電膜をエッチングし、前記ワード線の延在方向の細溝内に埋込まれたゲート電極を形成すると共にデータ線の延在方向の細溝内の活性島領域の側壁にのみゲート電極を形成する工程とを備えたことを特徴とする半導体記憶装置の製造方法。

10. 前記全面に均一な膜厚で堆積される導電膜は、前記狭い溝幅寸法の約2分の1の寸法に相当する膜厚よりも厚く、広い溝幅寸法の2分の1の寸法に相当する膜厚よりも薄い膜厚で堆積されていることを特徴とする請求項9に記載の半導体記憶装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体記憶装置に関し、特に、データ線とワード線との交差部にメモリセルが配置された半導体記憶装置に適用して有効な技術に関するものである。

〔従来の技術〕

計算機の記憶装置として需要の高い半導体記憶装置にDRAM(Dynamic Random Access Memory)がある。DRAMは相補性データ線とワード線との交差部に1[bit]の情報を記憶するメモリセルが配置されている。このメモリセルはメモリセル選択用MISFETと情報蓄積用容量素子との直列回路で構成されている。メモリセルはデータ線の延在方向及びワード線の延在方向の夫々に複数配置されメモリセルアレイを構成している。

この種のDRAMは、高集積化が進むにつれ、メモリセル面積が縮小されるので、これに伴って情報蓄積用容量素子の電荷蓄積部の面積が減少し、情報蓄積用容量素子の情報となる電荷量が減少する。情報蓄積用容量素子の電荷量の減少はα線ソフトエラーを多発する。

情報蓄積用容量素子の電荷蓄積部の面積の減少を解決する技術としては、所謂細孔型情報蓄積用容量素子で形成されたメモリセルでDRAMを構成する技術が有効である。細孔型情報蓄積用容量素子は、半導体基板の主面に形成された細孔(細

穴)を利用し、細孔の内壁の半導体基板の主面に誘電体膜を介在させてプレート電極を設けた構造で構成されている。細孔の内壁の半導体基板は一方の電極として使用され、誘電体膜を介在させたプレート電極は他方の電極として使用される。この細孔型情報蓄積用容量素子は、半導体基板の深さ方向で電荷蓄積面積を増加し、情報となる電荷量を増加している。

ところが、この種の細孔型情報蓄積用容量素子は、さらに高集積化が進むと、細孔の開口サイズそのものが縮小するために、情報となる電荷量を十分に確保することができない。そこで、分離併合型情報蓄積用容量素子を有するメモリセルがDRAMに採用される傾向にある。分離併合型情報蓄積用容量素子は、周囲を細溝で囲まれ形成された活性島領域を利用し、活性島領域の側壁に情報となる電荷を蓄積すると共に併せて細溝を素子間分離領域として使用している。この分離併合型情報蓄積用容量素子は、細溝内の活性島領域の側壁の半導体基板(一方の電極)の主面に誘電体膜、プ

レート電極(他方の電極)の夫々を順次積層した構造で構成されている。前記活性島領域の主面にはメモリセル選択用MISFETが構成されている。前記活性島領域は相補性データ線とワード線との交差部分毎に配置され、メモリセル選択用MISFETの一方の半導体領域には相補性データ線、ゲート電極にはワード線が夫々接続されている。ワード線はゲート電極と同一導電膜例えば多結晶珪素膜で形成されている。データ線は、前記ワード線よりも上層に延在し、例えばアルミニウム膜で形成されている。この分離併合型情報蓄積用容量素子は、メモリセル選択用MISFETの周囲長に細溝の深さを乗算した値に相当する面積で電荷蓄積面積が形成できるので、情報となる電荷量を十分に確保できる。また、分離併合型情報蓄積用容量素子は、素子分離領域内に形成されているので、メモリセルの占有面積を縮小し、DRAMの高集積化を図ることができる。

なお、分離併合型情報蓄積用容量素子でメモリセルを構成するDRAMについては、例えばアイ

イー ディー エム テクニカル ダイジェスト、1986年、第144頁乃至第147頁(IEDM 86 Technical Digest pp.144-147)に記載されている。

〔発明が解決しようとする課題〕

本発明者は、前述の分離併合型情報蓄積用容量素子でメモリセルを構成するDRAMについて、次の問題点があることを見出した。

前記メモリセル選択用MISFETは、ゲート電極(ワード線としても使用される)、ソース領域及びドレイン領域の占有面積に、次の占有面積が加算されたサイズで構成されている。メモリセル選択用MISFETの一方の半導体領域と相補性データ線との接続に要する占有面積。前記相補性データ線の一方の半導体領域に接続する部分とゲート電極(又はワード線)との絶縁分離及び製造工程におけるマスク合せ余裕に要する占有面積。このため、メモリセル選択用MISFET(活性島領域)の占有面積が増大し、これに伴ってメモリセル面積が増大するので、DRAMの集積度が低下する。

本発明の目的は、半導体記憶装置の集積度を向上することが可能な技術を提供することにある。

本発明の他の目的は、メモリセルのMISFETのゲート電極又はワード線の占有面積を縮小し、前記半導体記憶装置の集積度を向上することが可能な技術を提供することにある。

本発明の他の目的は、製造工程におけるマスク合せ余裕寸法を低減し、前記半導体記憶装置の集積度を向上することが可能な技術を提供することにある。

本発明の他の目的は、半導体記憶装置の電気的信頼性を向上することが可能な技術を提供することにある。

本発明の他の目的は、データ線の断線を低減し、前記半導体記憶装置の電気的信頼性を向上することが可能な技術を提供することにある。

本発明の他の目的は、ワード線間の短絡を防止し、前記半導体記憶装置の電気的信頼性を向上することが可能な技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特

徴は、本明細書の記述及び添付図面によって明らかにするであろう。

〔課題を解決するための手段〕

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

(1) 分離併合型情報蓄積用容量素子でメモリセルを構成するDRAMにおいて、メモリセルのメモリセル選択用MISFETを、ワード線の延在方向の溝幅寸法が狭くデータ線の延在方向の溝幅寸法が広い細溝で周囲を囲まれた活性島領域に構成し、前記メモリセル選択用MISFETのゲート電極を、前記ワード線の延在方向の細溝内に選択的に埋込み、かつデータ線の延在方向の細溝内の活性島領域の側壁に細溝に対して自己整合で構成する。

(2) 前記手段(1)の活性島領域はデータ線、ワード線の夫々の延在方向に複数配置されメモリセルアレイを構成し、個々の活性島領域の周囲を囲む細溝のうちメモリセルアレイの端部に位置す

る細溝の溝幅寸法を、メモリセルアレイ内の活性島領域の周囲のデータ線の延在方向の細溝の溝幅寸法と同等又はそれに比べて大きく構成する。

(3) 前記手段(1)のDRAMは、前記ワード線の延在方向の溝幅寸法が狭くデータ線の延在方向の溝幅寸法が広い細溝で周囲を囲まれた活性島領域を形成し、前記活性島領域の表面及び細溝の内壁の表面を含む全面に均一な膜厚の導電膜を堆積し、この導電膜に異方性エッチングを施して堆積した膜厚に相当する分導電膜をエッチングし、前記ワード線の延在方向の細溝内に埋込まれたゲート電極を形成すると共にデータ線の延在方向の細溝内の活性島領域の側壁にのみゲート電極を形成する工程を備える。

〔作用〕

上述した手段(1)によれば、前記メモリセル選択用MISFETのゲート電極(及びワード線)を細溝内にそれに対して自己整合で形成したので、ゲート電極の占有面積及び製造工程におけるマスク合せ余裕面積に相当する分、メモリセル面積を

において対向する他の活性島領域の側壁に形成されるゲート電極と離隔したゲート電極を前記活性島領域に対して自己整合で形成することができる。この結果、細溝(溝子分離領域)とゲート電極(又はワード線)と間の製造工程におけるマスク合せ余裕寸法をなくすことができる。

以下、本発明の構成について、分離併合型情報蓄積用容量素子でメモリセルが構成されるDRAMに本発明を適用した一実施例とともに説明する。

なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

〔発明の実施例〕

(実施例1)

本実施例1は、フォールデットビットライン方式を採用するDRAMに本発明を適用した、本発明の第1実施例である。

本発明の実施例1であるDRAMの構成を第3図(要部等価回路図)で示す。

第3図に示すように、DRAMはフォールデッ

縮小し、DRAMの集積度を向上することができる。また、前記ゲート電極を細溝内に形成したので、細溝で形成される段差形状を緩和し、細溝上の表面を平坦化することができる。この細溝上にはデータ線が延在するので、データ線の断線等を低減し、DRAMの電気的信頼性を向上することができる。

上述した手段(2)によれば、前記メモリセルアレイの端部において、細溝内の活性島領域の側壁に形成されたゲート電極(又はワード線)と前記細溝内において非活性島領域の側壁に形成された導電膜とを離隔することができるので、ワード線間の短絡を防止し、DRAMの電気的信頼性を向上することができる。

上述した手段(3)によれば、前記活性島領域の周囲を囲むワード線の延在方向の細溝内に前記活性島領域に対して自己整合でゲート電極を埋込むことができると共に、このゲート電極でワード線を形成することができ、しかもデータ線の延在方向の細溝内の活性島領域の側壁にはこの細溝内

トビットライン方式(2交点方式又は折り返しビット線方式)で構成されている。第3図の中央部にはメモリセルアレイ(メモリセルマツト)が配置されている。

前記メモリセルアレイは列方向に相補性データ線DL、DLを延在させている。この相補性データ線DLは行方向に複数組配置されている。相補性データ線DLは夫々の一端側がセンスアンプSAに接続されている。

相補性データ線DLと交差する行方向にはワード線WLを延在させている。ワード線WLは列方向に複数本配置されている。図示していないが、夫々のワード線WLはメモリセルアレイの端部に配置された行デコード回路X-DECに接続され選択されるように構成されている。

相補性データ線DLの夫々とワード線WLとの交差部には1[bit]の情報を記憶するメモリセルMが配置されている。メモリセルMは、メモリセル選択用MISFETQ_sと、その一方の半導体領域に直列に一方の電極が接続された情報蓄積用

容量素子Cとで構成されている。メモリセル選択用MISFETQsはnチャネルで構成されている。情報蓄積用容量素子Cは後述するが分離併合型情報蓄積用容量素子で構成されている。

メモリセルMのメモリセル選択用MISFETQsは、他方の半導体領域が相補性データ線DLに接続され、ゲート電極がワード線WLに接続されている。情報蓄積用容量素子Cの他方の電極は電源電圧 $1/2V_{DD}$ に接続されている。この電源電圧 $1/2V_{DD}$ は回路の基準電圧 V_{DD} (例えば0[V])と回路の電源電圧 V_{DD} (例えば5[V])との中間の電位(例えば2.5[V])である。他方の電極に印加される電源電圧 $1/2V_{DD}$ は、情報蓄積用容量素子Cの電極間に加わる電界強度を低減し、誘電体膜の絶縁耐圧の劣化を低減することができる。

前記センスアンプSAは前記相補性データ線DLで伝達されるメモリセルMの情報を増幅するように構成されている。センスアンプSAで増幅された情報はYスイッチ用MISFETQyを通してコモンデータ線I/O、I/Oに出力される。Y

スイッチ用MISFETQyはnチャネルで構成されている。

前記Yスイッチ用MISFETQyはそのゲート電極がYセレクト信号線YSLに接続され制御されるように構成されている。Yセレクト信号線YSLは1組の相補性データ線DLに対して1本設けられている。Yセレクト信号線YSLは、相補性データ線DLと同一列方向に延在し、各相補性データ線DL間に配置されている。つまり、相補性データ線DLとYセレクト信号線YSLとは行方向に交互に配置されている。Yセレクト信号線YSLはメモリセルアレイの端部に配置された列デコード回路YDECに接続され選択されるように構成されている。

前記コモンデータ線I/Oはメモリセルアレイの端部に配置されたメインアンプMAに接続されている。メインアンプMAは、スイッチ用MISFET(符号を付けない)、出力信号線DOL、DOL、データ出力バッファ回路DOBの夫々を通して、出力トランジスタDoutに接続されている。

つまり、メインアンプMAでさらに増幅されたメモリセルMの情報は、出力信号線DOL、データ出力バッファ回路DOB等を通して、出力トランジスタDoutで出力される。

次に、前記DRAMの具体的な構造について、第1図(メモリセルアレイの要部平面図)及び第2図(第1図のI-I切断線及びII-II切断線で切った断面図)を用いて簡単に説明する。本実施例は16[Mbit]又は64[Mbit]の大容量を有するDRAMに本発明を適用した実施例である。

第1図及び第2図に示すように、DRAMは単結晶珪素からなるp型半導体基板1で構成されている。前記DRAMのメモリセルMは細溝2で周囲を囲まれた活性島領域3及びその側壁に構成されている。

前記細溝2はメモリセルMの形成領域間において半導体基板1の主面に構成されている。この細溝2は相補性データ線(17)DL、ワード線(10)WLの夫々の延在方向において溝幅寸法が異なる。この細溝2の相補性データ線DLの延在方

向(列方向)は広い溝幅寸法W。例えば1.0[μm]程度の寸法で構成されている。細溝2のワード線WLの延在方向(行方向)は狭い溝幅寸法W。例えば0.5[μm]程度の寸法で構成されている。夫々の細溝2の半導体基板1の表面からの深さは例えば3.0~5.0[μm]程度の寸法で構成されている。この細溝2は、RIE等の異方性エッチングで形成され、細い溝幅寸法で深く構成されている。

細溝2の底部であって半導体基板1の主面上には素子間分離用絶縁膜4が構成されている。この素子間分離用絶縁膜4は細溝2で周囲を囲まれた活性島領域3間を電気的に分離するように構成されている。素子間分離用絶縁膜4は例えば細溝2の底部の半導体基板1の主面を選択的に酸化した酸化珪素膜で形成されている。前記細溝2及び素子間分離用絶縁膜4はメモリセルM間特にメモリセルMの情報蓄積用容量素子C間を電気的に分離する素子分離領域を構成している。

なお、細溝2の底部であって半導体基板1の主

面部(素子間分離用絶縁膜4の下部)には図示しないが半導体基板1に比べて高い不純物濃度のp型半導体領域を設けている。このp型半導体領域は、所謂チャネルストップ領域として使用され、メモリセルM間を電氣的に分離する能力をより高めることができる。

前記活性島領域3は前述の広い溝幅寸法 W_0 及び狭い溝幅寸法 W_1 を有する細溝2で周囲を囲まれた平面形状を方形状で構成している。活性島領域3は、例えば相補性データ線DLの延在方向が $1.0[\mu m]$ 程度、ワード線WLの延在方向が $1.5[\mu m]$ 程度の平面形状を長方形で構成している。

前記メモリセルMの情報蓄積用容量素子Cは活性島領域3の周囲の側壁に沿って構成されている。情報蓄積用容量素子Cは、主にn型半導体領域5、誘電体膜6及びプレート電極7で構成されている。n型半導体領域5は、一方の電極として使用され、活性島領域3の周囲の側壁において半導体基板1の主面部に構成されている。n型半導体領域5は、

活性島領域3の下側(細溝2の底部側)例えば深さ方向に $2.0 \sim 3.0[\mu m]$ 程度の寸法で形成されている。前記誘電体膜6は細溝2の内部において前記n型半導体領域5の主面上に積層されている。誘電体膜6は例えばCVD法で堆積した窒化珪素膜に酸化処理を施した窒化珪素膜と酸化珪素膜とを重ね合わせた複合膜で形成する。また、誘電体膜6は酸化珪素膜、窒化珪素膜の夫々の単層で形成してもよい。プレート電極7は前記誘電体膜6の上層であって細溝2内に埋込まれている。つまり、プレート電極7は、メモリセルMの情報蓄積用容量素子Cとそれに隣接する行方向及び列方向の他のメモリセルMの情報蓄積用容量素子Cのプレート電極7と一体に構成されかつ兼用されている。プレート電極7は例えばCVD法で堆積した、所定の不純物(P又はAs)が導入された多結晶珪素膜で形成されている。つまり、この情報蓄積用容量素子Cは所謂MOS構造で構成されている。さらに、情報蓄積用容量素子Cは素子分離領域(細溝2)の領域内において設けられているので分離

併合型情報蓄積用容量素子(以下、この名称を使用する)を構成している。

メモリセルMのメモリセル選択用MISFETQsは活性島領域3の主面及び活性島領域3の側壁の上側に構成されている。メモリセル選択用MISFETQsは、主に半導体基板1(チャネル形成領域)、ゲート絶縁膜9、ゲート電極10、ソース領域及びドレイン領域である一対のn型半導体領域5及びp型半導体領域11で構成されている。

前記ゲート絶縁膜9は活性島領域3の側壁であって半導体基板1の主面を酸化した酸化珪素膜で形成されている。

ゲート電極10は前記活性島領域3の側壁の上部であって半導体基板1の主面上にゲート絶縁膜9を介在させて構成されている。ゲート電極10は、活性島領域3の周囲に沿って平面形状がリング形状で構成されている。このゲート電極10は細溝2の底部に埋込まれたプレート電極7と絶縁膜8を介在させて電氣的に分離されている。

ゲート電極10は、広い溝幅寸法 W_0 を有する細

溝2部分においては活性島領域3の側壁のみに、狭い溝幅寸法 W_1 を有する細溝2部分においては実質的に細溝2内に埋込まれている。つまり、ゲート電極10の広い溝幅寸法 W_0 を有する細溝2部分は、同一部分の細溝2内において対向する他の活性島領域3の側壁に形成された他のメモリセルMのメモリセル選択用MISFETQsのゲート電極10と離隔され電氣的に分離されている。また、ゲート電極10の狭い溝幅寸法 W_1 を有する細溝2部分は、同一部分の細溝2内において対向する他の活性島領域3の側壁に形成された他のメモリセルMのメモリセル選択用MISFETQsのゲート電極10と一体に構成され電氣的に接続されている。このゲート電極10は、活性島領域3の周囲においてメモリセル選択用MISFETQsのゲート電極として使用されているが、全体としては行方向に延在するワード線(WL)10を構成している。

ゲート電極10及びワード線10は、例えばCVD法で堆積され、抵抗値を低減するn型不純物(P又はAs)が導入された多結晶珪素膜にRIE等

の異方性エッチングを施して形成されている。この所謂エッチバック処理は、多結晶珪素膜の堆積した膜厚に相当する分、多結晶珪素膜をエッチングで除去することによって、平坦部分の多結晶珪素膜を除去し、段差部分の多結晶珪素膜を残存させることができる。前記多結晶珪素膜は、ゲート電極10間を接触させるために狭い溝幅寸法 W 。の細溝2を実質的に埋込み、かつゲート電極10間を分離するために広い溝幅寸法 W 。の細溝2を埋込まない範囲の膜厚で堆積させる必要がある。つまり、多結晶珪素膜は、狭い溝幅寸法 W 。の約2分の1の寸法に相当する膜厚以上で堆積し、広い溝幅寸法 W 。の2分の1の寸法に相当する膜厚に比べて薄い膜厚で堆積させる($W/2 \leq$ 多結晶珪素膜の膜厚 $< W$)。前記ゲート電極10は、例えばゲート長寸法が $1.0[\mu m]$ 程度で形成され、 $0.25 \sim 0.30[\mu m]$ 程度の膜厚で形成されている。

このように構成されるゲート電極10は活性島領域3、細溝2の夫々に対して自己整合で形成され

る。しかも、ゲート電極10は、細溝2の溝幅寸法、多結晶珪素膜の堆積する膜厚、エッチング量の夫々を適度に設定することにより、製造上自動的に、ワード線WLの延在方向を一体に構成しかつ相補性データ線DLの延在方向を離隔することができる。

なお、ゲート電極10及びワード線(WL)10は、DRAMの動作速度を決定する重要な要素となるので、多結晶珪素膜以外の低抵抗ゲート材料で形成してもよい。具体的に、ゲート電極10及びワード線10は、高融点金属(Mo, Ti, Ta, W)膜、高融点金属シリサイド(MoSi, TiSi, TaSi, WSi)膜の夫々の単層、又は多結晶珪素膜上に前記金属膜を積層した複合膜で構成する。

ソース領域又はドレイン領域である一方のn型半導体領域5は前記分離併合型情報蓄積用容量素子Cの一方の電極であるn型半導体領域5で構成されている。ドレイン領域又はソース領域である他方のn型半導体領域11は活性島領域3の上部全面であって半導体基板1の主面部に設けられてい

る。このn型半導体領域11は、メモリセル選択用MISFETQsのチャネル形成領域(半導体基板1)自体が高抵抗領域であり、若干抵抗値が高くても動作速度上は問題ないので、低不純物濃度で形成されている。低不純物濃度で構成されるn型半導体領域11は、メモリセル選択用MISFETQsのチャネル形成領域側への不純物の拡散量が少ないので、実効チャネル長を充分に確保することができる。

メモリセル選択用MISFETQsの他方のn型半導体領域11には層間絶縁膜12及び層間絶縁膜15に形成された接続孔16を通して相補性データ線(DL)17が接続されている。層間絶縁膜12は例えばCVD法で堆積した酸化珪素膜で形成されている。層間絶縁膜15は例えばCVD法で堆積した酸化珪素膜上にCVD法で堆積したBPSG(ボロン入りフォスフォシリケートガラス)膜を積層した複合膜で形成されている。相補性データ線17は例えばCu又は及びSiが添加されたアルミニウム合金膜、高融点金属膜(例えば選択CVD法で

堆積したW膜)等で形成されている。

このように、分離併合型情報蓄積用容量素子CでメモリセルMを構成するDRAMにおいて、メモリセルMのメモリセル選択用MISFETQsを、ワード線WLの延在方向の溝幅寸法 W 。が狭く相補性データ線DLの延在方向の溝幅寸法 W 。が広い細溝2で周囲を囲まれた活性島領域3に構成し、メモリセル選択用MISFETQsのゲート電極を、前記ワード線WLの延在方向の細溝2内に選択的に埋込み、かつ相補性データ線DLの延在方向の細溝2内の活性島領域3の側壁に細溝2に対して自己整合で構成する。この構成により、前記メモリセルMのメモリセル選択用MISFETQsのゲート電極(及びワード線)10を細溝2内に自己整合で形成したので、ゲート電極10の占有面積及び製造工程におけるマスク合せ余裕面積に相当する分、メモリセルM面積を縮小し、DRAMの集積度を向上することができる。しかも、ワード線WLの延在方向の複数のメモリセル選択用MISFETQsの夫々のゲート電極10は互いに

一体に構成されるので、ワード線10はゲート電極10を形成すると共に自動的に形成することができる。

また、前記メモリセルMの分離併合型情報蓄積用容量素子Cは細溝2内に自己整合で形成されているので、分離併合型情報蓄積用容量素子Cの占有面積及び製造工程におけるマスク合せ余裕面積に相当する分、メモリセルM面積をさらに縮小し、DRAMの集積度を向上することができる。

また、前記ゲート電極10を細溝2内に形成したので、細溝2で形成される段差形状を緩和し(細溝2で形成される凹部を埋込み)、細溝2上の表面を平坦化することができる。この細溝2上には相補性データ線17が延在するので、相補性データ線17の段差形状に起因する断線等を低減し、DRAMの電氣的信頼性を向上することができる。

また、前記ワード線(又はゲート電極)10は細溝2内に形成され、ワード線10と相補性データ線17との間の絶縁分離面積及び製造工程における合せ余裕面積は実質的に廃止される。したがって、相

補性データ線17とメモリセル選択用MISFET Qsの他方のn型半導体領域11との接続は相補性データ線17と活性島領域3の上部の主面との接続に必要な面積だけ確保できればよいので、活性島領域3の占有面積つまりメモリセルMの占有面積を著しく低減することができる。

なお、分離併合型情報蓄積用容量素子Cは、細溝2の深さを深く形成し、電荷蓄積面積を増大することによって、占有面積を増大することなく、情報となる電荷量を自由に増加することができる。

前記個々のメモリセルMを構成する活性島領域3の周囲を囲む細溝2のうち、メモリセルアレイの端部(最っとも外周)に位置する細溝2の溝幅寸法W。は、メモリセルアレイ内の活性島領域3の周囲の相補性データ線17の延在方向の細溝2の溝幅寸法W。と同等又はそれに比べて若干大きく構成されている。この溝幅寸法W。を有する細溝2はメモリセルアレイの周囲を取囲みその領域を規定するように構成されている。メモリセルアレイの周囲を取囲む細溝2は、メモリセルアレイ内の

各活性島領域3の周囲を囲む細溝2と同様に底部分にプレート電極7が埋込まれており、このプレート電極7の表面の高さが均一に形成されるように溝幅寸法W。を全域において均一に(又は溝幅寸法W。と同一に)構成している。メモリセルアレイの周囲を取囲む細溝2で規定されるメモリセルアレイの外周側の非活性島領域3Aの側壁には、ゲート電極10及びワード線10を形成する工程と同一工程で導電膜10Aが形成されている。この導電膜10Aは、細溝2の溝幅寸法W。が広く形成されているので、メモリセルアレイ内の活性島領域3の側壁に形成されるゲート電極10又はワード線10と離隔され電氣的に分離されている。

このように、前記メモリセルアレイの個々の活性島領域3の周囲を囲む細溝2のうちメモリセルアレイの端部に位置する細溝2の溝幅寸法W。を、メモリセルアレイ内の活性島領域3の周囲の相補性データ線(DL)の延在方向の細溝2の溝幅寸法W。と同等又はそれに比べて大きく構成する。この構成により、前記メモリセルアレイの端部に

いて、細溝2内の活性島領域3の側壁に形成されたゲート電極(又はワード線)10と前記細溝2内において非活性島領域3Aの側壁に形成された導電膜10Aとを離隔することができるので、ワード線10間の短絡を防止し、DRAMの電氣的信頼性を向上することができる。

前記メモリセルアレイを列方向に延在するワード線(WL)10は、メモリセルアレイの端部においてワード線(WL)17により引出され、このワード線17を介在させて図示しない行デコーダ回路X-DECに接続されている。ワード線17は、メモリセルアレイの周辺部分にワード線WLの延在方向に配置される2個の活性島領域(ダミーの活性島領域として使用される)3間の狭い溝幅寸法W。を有する細溝2内に埋込まれたワード線10の一部(ゲート電極10)に接続されている。ワード線10とワード線17との接続は層間絶縁膜12及び15に形成された接続孔16を通して行われている。本実施例においてはワード線17、相補性データ線17の夫々は同一導電層(同一製造工程)で構成されているが、

両者が接触する等の不具合が生じる場合は両者を異なる導電層で形成してもよい。

前記メモリセルアレイの相補性データ線DLの延在方向の端部においては細溝2内に埋込まれたプレート電極7に電位供給用配線14が接続されている。電位供給用配線14はプレート電極7に電源電圧 $1/2V_{cc}$ を供給するように構成されている。電位供給用配線14は、層間絶縁膜12に形成された接続孔13及び絶縁膜8に導電膜10Aで周囲を規定されて形成された接続孔13Aを通してプレート電極7に接続されている。この電位供給用配線14とプレート電極7との接続部分の細溝2の溝幅寸法W₁は例えば前記溝幅寸法W₂と同一か又はそれよりも若干大きな寸法で構成されている。電位供給用配線14は例えばCVD法で堆積された、n型不純物が導入された多結晶珪素膜で形成されている。電位供給用配線14は行方向において所定間隔で複数配置され、この電位供給用配線14の間隔は微細にする必要がないのでワード線10の間隔や相補性データ線17の間隔に比べて大きく形成されて

いる。

なお、メモリセルアレイ上には図示しないがYセレクト信号線YSLが延在するように構成されている。Yセレクト信号線YSLは、相補性データ線17間に相補性データ線17と同一導電層で又は異なる導電層で形成されている。

また、図示しないがメモリセルアレイの外周領域に配置される、デコード回路等の周辺回路を構成する半導体素子は相補型MISFET(CMOS)で構成されている。また、周辺回路を構成する半導体素子のうち高駆動能力が要求される部分はバイポーラトランジスタで構成されている。

次に、前述のDRAMの具体的な製造方法について、第4図乃至第12図(各製造工程毎に示す要部断面図)を用いて簡単に説明する。

まず、単結晶珪素からなるp型半導体基板1を用意する。この半導体基板1の半導体素子形成面となる主面は(100)結晶面で形成されている。

次に、前記半導体基板1の主面上の全面に、マスク20、21、22の夫々を順次積層する。マスク20

は半導体基板1とマスク21との間の応力緩和等に使われる。マスク20は、例えば半導体基板1の主面を酸化した酸化珪素膜で形成し、400[Å]程度の膜厚で形成する。マスク21は耐酸化マスク等に使われる。マスク21は例えばCVD法で堆積した窒化珪素膜で形成する。マスク22は主に細溝のエッチングマスクとして使用される。マスク22は例えばCVD法で堆積したPSG膜で形成する。

次に、素子分離領域において、マスク22、21、20の夫々を順次エッチングにより除去し、半導体基板1の表面が露出するエッチングマスクを形成する。このエッチングマスクはフォトリソグラフィ技術及び異方性エッチング技術を用いて形成される。

次に、前記エッチングマスク(主にマスク22)を使用し、露出する半導体基板1の主面をエッチングにより除去し、第4図に示すように、細溝2を形成する。この細溝2を形成する工程と共に、この細溝2で周囲を囲まれた活性島領域3が形成さ

れる。細溝2は、前述のように、相補性データ線DLの延在方向を広い溝幅寸法W₁で形成し、ワード線WLの延在方向を狭い溝幅寸法W₂で形成する。細溝2はRIE等の異方性エッチングで形成されている。

次に、細溝2内において半導体基板1の主面上に酸化珪素膜(図示しない)を形成する。この酸化珪素膜は例えば半導体基板1の主面を酸化することにより形成されている。酸化珪素膜は主に細溝2を形成する際の半導体基板1の主面部のエッチングダメージを除去するようになっている(犠牲酸化珪素膜の形成処理)。

次に、細溝2の底部において半導体基板1の主面部にp型不純物を導入し、図示しないp型半導体領域(チャネルストップ領域)を形成する。p型不純物の導入は例えばイオン打込法で行う。

次に、細溝2の内壁に沿った半導体基板1の主面上(実際には前記酸化珪素膜上)にマスク23を形成する。マスク23は、主に耐酸化マスクとして使用するの、例えばCVD法で堆積した窒化珪素

膜で形成する。そして、マスク23にR I E等の異方性エッチングを施し、平坦部分のマスク23は除去し、細溝2の内壁(活性島領域3の側壁)だけにマスク23を残存させる。この異方性エッチングは細溝2の底部において半導体基板1の主面を露出させることができる。

次に、前記マスク23及びマスク22を用い、酸化処理を施すことにより、第5図に示すように、細溝2の底部において半導体基板1の主面上に素子間分離用絶縁膜4を形成することができる。素子間分離用絶縁膜4は酸化珪素膜で形成されている。この素子間分離用絶縁膜4を形成する工程の後に、前記マスク23、マスク22の夫々が除去される。

次に、細溝2の内壁つまり活性島領域3の側壁にn型半導体領域5を形成する。n型半導体領域5は分離併合型情報蓄積用容量素子Cの電極として使用される。n型半導体領域5は、例えばイオン打込法又は熱拡散法を使用し、半導体基板1の主面にn型不純物(P又はAs)を導入することにより形成されている。n型半導体領域5は例え

ば 1.0^{11} [atoms/cm²]程度の不純物濃度で形成されている。

次に、第6図に示すように、前記細溝2の内壁であって活性島領域3の側壁に形成されたn型半導体領域5の主面上を含む基板全面に誘電体膜6を形成する。誘電体膜6は例えばC V D法で堆積した窒化珪素膜とこの窒化珪素膜の表面に酸化処理を施して形成した酸化珪素膜との複合膜で形成する。この複合膜で形成される誘電体膜6は、ピンホール等に起因する絶縁耐圧不良を低減することができるので、薄膜化が可能で、分離併合型情報蓄積用容量素子Cの情報となる単位面積当りの電荷蓄積量を増加することができる。

次に、前記誘電体膜6の表面上であって、細溝2内を埋込むように基板全面に導電膜を堆積する。この導電膜は、分離併合型情報蓄積用容量素子Cのプレート電極(7)を形成するためのもので、例えばC V D法で堆積した多結晶珪素膜を使用する。この多結晶珪素膜には抵抗値を低減するn型不純物が導入されている。

次に、前記導電膜にR I E等の異方性エッチングを施し、第7図に示すように、細溝2内であって分離併合型情報蓄積用容量素子Cの形成領域のみ導電膜を残存させてプレート電極7を形成する。前記異方性エッチングは堆積された導電膜の膜厚にメモリセル選択用M I S F E Tの形成領域の寸法を加算したエッチング量で行う。したがって、プレート電極7は細溝2の内部のみに形成することができる。このプレート電極7を形成することによって、分離併合型情報蓄積用容量素子Cが完成する。

次に、前記細溝2内に埋込まれたプレート電極7の露出する表面上に絶縁膜8を形成する。絶縁膜8は例えばプレート電極7の表面を酸化した酸化珪素膜で形成する。この酸化珪素膜を形成する際には、活性島領域3の主面上のマスク21及び細溝2内であって活性島領域3の側壁の上側(ゲート電極形成領域)に残存する誘電体膜6を耐酸化マスクとして使用する。そして、第8図に示すように、前記耐酸化マスクとして使用された誘電体

膜6を除去し、活性島領域3の側壁の上側であってゲート電極又はワード線の形成領域のn型半導体領域5の主面を露出する。この誘電体膜6の除去は例えば等方性エッチングで行う。

次に、前記誘電体膜6が除去された部分つまり活性島領域3の側壁の上側(ゲート電極又はワード線の形成領域)に形成されているn型半導体領域5をエッチングにより除去する。このn型半導体領域5の除去は例えば等方性エッチングで行い、この際にはマスク21及び絶縁膜8をエッチングマスクとして使用する。

次に、第9図に示すように、n型半導体領域5が除去された部分つまり活性島領域3の側壁の上側において半導体基板1の主面上にゲート絶縁膜9を形成する。ゲート絶縁膜9は例えば半導体基板1の主面を酸化した酸化珪素膜で形成する。また、ゲート絶縁膜9は、絶縁耐圧強度を向上するために、酸化珪素膜と窒化珪素膜との複合膜で形成してもよい。

次に、前記細溝2内であって活性島領域3の側

壁の上側に形成されたゲート絶縁膜9上を含む基板全面に導電膜10Bを堆積する。この導電膜10Bはゲート電極、ワード線(10)の夫々を形成するために堆積されている。導電膜10Bは例えばCVD法で堆積された多結晶珪素膜で形成されている。導電膜10Bは、前述のように、狭い溝幅寸法W₁を有する細溝2の内部を実質的に埋込み、かつ広い溝幅寸法W₂を有する細溝2の内部を埋込まないような膜厚で堆積されている。導電膜10Bは例えば0.25~0.30[μm]程度の膜厚で形成する。

次に、前記導電膜10Bにその堆積された膜厚に相当する分RIE等の異方性エッチングを施し、第10図に示すように、ゲート電極10及びワード線10を形成する。前述のように、ゲート電極10及びワード線10は狭い溝幅寸法W₁を有する細溝2内部において略完全に埋込まれるようになっている。また、ゲート電極10及びワード線10は、広い溝幅寸法W₂を有する細溝2の内部において、活性島領域3の側壁のみに形成され、隣接する他の

活性島領域3の側壁に形成されたものと離隔し電気的に分離されている。なお、同第10図には前記導電膜10Bの堆積された状態を符号10Bを付けて一点鎖線で示している。

次に、活性島領域3の上部に形成されたマスク21、20の夫々を順次除去し、活性島領域3の上部において半導体基板1の主面を露出する。そして、図示しないが、活性島領域3の上部において露出された半導体基板1の主面上に薄い膜厚の酸化珪素膜を形成する。この酸化珪素膜は、前記マスク21、20の夫々の除去に伴うエッチングダメージの除去や後工程で行われる不純物導入に伴うダメージの低減を行うために形成される。酸化珪素膜は例えば半導体基板1の主面を酸化した酸化珪素膜で形成する。

次に、第11図に示すように、活性島領域3の上部において半導体基板1の主面部にn型半導体領域11を形成する。このn型半導体領域11は例えばイオン打込法でn型不純物を導入することにより形成することができる。n型半導体領域11は例

えば $10^{17} \sim 10^{19}$ [atoms/cm³]程度の不純物濃度で形成されている。n型半導体領域11を形成することによって、メモリセル選択用MISFETQ₁が完成し、これに伴ってメモリセルMが完成する。

次に、活性島領域3の上部、ゲート電極10及びワード線10を含む基板全面に層間絶縁膜12を形成する。層間絶縁膜12は、下層のn型半導体領域11、ゲート電極10等と上層の配線(電位供給用配線14)との絶縁分離、上層の配線のパターンニングの際のエッチングストッパ等として使用される。層間絶縁膜12は、例えばCVD法で堆積した酸化珪素膜を使用し、1000[Å]程度の膜厚で形成されている。

次に、メモリセルアレイの端部の相補性データ線DLの延在方向の細溝2上において層間絶縁膜12を部分的に除去して接続孔13を形成し、さらに、接続孔13内に露出する導電膜10Aに規定された領域内において絶縁膜8を除去して接続孔13Aを形成する。接続孔13Aの形成により、プレート電極

7の表面が露出する。前記接続孔13及び13Aはフォトリソグラフィ技術及び異方性エッチング技術を使用して形成する。

次に、第12図に示すように、前記接続孔13及び13Aを通してプレート電極7の表面に接続するように、層間絶縁膜12上に電位供給用配線14を形成する。電位供給用配線14は図示しないがメモリセルアレイの外側に引出されて上層配線に接続されている。

次に、前記第1図及び第2図に示すように、層間絶縁膜15、接続孔16、相補性データ線17及びワード線17の夫々を順次形成する。

これら一連の製造工程を施すことにより、本実施例のDRAMのメモリセルMは完成する。なお、DRAMの製造プロセスにおいて、このメモリセルM(メモリセルアレイ)の製造工程は基本的に周辺回路を形成する製造工程と別に独立的に行われる。また、DRAMの製造プロセスにおいて、メモリセルMの製造工程の一部例えば細溝2を形成する工程、導電膜10Bを形成する工程、相補性デ

ータ線17、ワード線17の夫々を形成する工程等は、周辺回路を形成する製造工程と兼用してもよい。

このように、DRAMの製造プロセスにおいて、ワード線WLの延在方向の溝幅寸法W₁が狭く相補性データ線DLの延在方向の溝幅寸法W₂が広い細溝2で周囲を囲まれた活性島領域3を形成し、前記活性島領域3の表面及び細溝2の内壁の表面を含む全面に均一な膜厚の導電膜10Bを堆積し、この導電膜10Bに異方性エッチングを施して堆積した膜厚に相当する分導電膜10Bをエッチングし、前記ワード線WLの延在方向の細溝2内に埋込まれたゲート電極10(又はワード線10)を形成すると共に相補性データ線DLの延在方向の細溝2内の活性島領域3の側壁にのみゲート電極10(又はワード線10)を形成する工程を備える。この構成により、前記活性島領域3の周囲を囲むワード線WLの延在方向の細溝2内に前記活性島領域3に対して自己整合でゲート電極10を埋込むことができると共に、このゲート電極10でワード線10を形成することができ、しかも相補性データ線WLの延

在方向の細溝2内の活性島領域3の側壁にはこの細溝2内において対向する他の活性島領域3の側壁に形成されるゲート電極10と離隔したゲート電極10を前記活性島領域3に対して自己整合で形成することができる。つまり、活性島領域3の側壁又は細溝2の内壁にそれに対して自己整合でゲート電極10及びワード線10を形成することができると共に、各ワード線10間の離隔分離を自動的に行うことができる。この結果、前記細溝(素子分離領域)2とゲート電極10(又はワード線10)と間の製造工程におけるマスク合せ余裕寸法をなくすることができる。

なお、フォールデットビットライン方式を採用するDRAMはノイズマージンを向上することができる特徴がある。

(実施例Ⅱ)

本実施例Ⅱは、オープンビットライン方式(1交点方式)を採用するDRAMに本発明を適用した、本発明の第2実施例である。

本発明の実施例ⅡであるDRAMの構成を第1

3図(要部等価回路図)で示す。

第13図に示すように、本実施例ⅡのDRAMはオープンビットライン方式でメモリセルアレイを構成している。つまり、センスアンプ回路SAの両側から夫々相反する列方向に相補性データ線DLが延在している。相補性データ線DLとワード線WLとの交差部分には前記実施例Ⅰと同様にメモリセルMが配置されている。このDRAMは相補性データ線DLの夫々のデータ線間を短絡する短絡方式を採用している。データ線間の短絡は短絡用MISFETQで行われている。本実施例Ⅱは、メモリセルMの分離併合型情報蓄積用容量素子Cの情報となる電荷量の2分の1の電荷量をを有するダミーセルを形成することが難しいので、ダミーセル方式を採用していない。

このオープンビットライン方式を採用するDRAMの具体的な構造は第14図(要部平面図)に示す。第14図に示すように、本実施例ⅡのメモリセルMの構造は前記実施例ⅠのメモリセルMの構造と実質的に同様である。メモリセルアレイにお

けるメモリセルMの配列は、前記実施例ⅡのメモリセルMの配列において、所定のメモリセルMに対して相補性データDLの延在方向に隣接する他のメモリセルMをワード線WLの延在方向に半ピッチずらした配列に相当する。

このように構成されるオープンビットライン方式を採用するDRAMは、前記実施例Ⅰと実質的に同様の効果を奏することができる。

(実施例Ⅲ)

本実施例Ⅲは、メモリセルを構成する細溝、活性島領域の夫々の別の形成方法について説明する。本発明の第3実施例である。

本発明の実施例ⅢであるDRAMの製造方法について、第15図乃至第17図(各製造工程毎に示す要部断面図)を用いて簡単に説明する。

まず、第15図に示すように、半導体基板1の主面上の全面に素子分離用絶縁膜4を形成する。素子分離用絶縁膜4は例えばCVD法で堆積した酸化珪素膜で形成する。

次に、第16図に示すように、前記素子分離用

絶縁膜4のうち、細溝の形成領域において素子間分離用絶縁膜4を残存させ、それ以外の活性島領域の形成領域において素子間分離用絶縁膜4を除去する。この素子分離用絶縁膜4のパターンニングはフォトリソグラフィ技術及び異方性エッチング技術を使用して行う。

次に、第17図に示すように、活性島領域の形成領域において、半導体基板1の露出する主面上にエピタキシャル層を成長させ、活性島領域3及び細溝2を形成する。前記エピタキシャル層を成長させた際に横方向に成長し細溝2の溝幅寸法が細くなったり細溝2が埋込まれた場合は、フォトリソグラフィ技術及びエッチング技術を使用し、細溝2の溝幅寸法及び形状を補正してもよい。

この後、前記実施例Iと同様の製造工程を施すことにより、本実施例IIIのDRAMは完成する。

このように、熱酸化で形成した酸化珪素膜でなく、堆積した絶縁膜を使用し、細溝2内の底部であって半導体基板1の主面上に素子間分離用絶縁膜4を形成することにより、細溝2の底部であ

Mを構成してもよい。

また、本発明は、前記DRAMに限定されず、マスクROM等、MISFETでメモリセルを構成する半導体記憶装置に適用することができる。マスクROMのメモリセルは、データ線とワード線との交差部に配置されたMISFETで構成されているので、前記実施例のメモリセル選択用MISFETQsと略同様の構造で構成すればよい。〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

半導体記憶装置の集積度を向上することができる。

半導体記憶装置の製造工程におけるマスク合せ余裕寸法を低減することができる。

半導体記憶装置の電氣的信頼性を向上することができる。

4. 図面の簡単な説明

第1図は、本発明の実施例IであるDRAMの

て半導体基板1の主面に発生する結晶欠陥を低減することができるので、分離併合型情報蓄積用容量素子Cの情報となる電荷量のリーク等を低減し、DRAMの電氣的信頼性を向上することができる。

以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

例えば、本発明は、前記DRAMのメモリセルにおいて、分離併合型情報蓄積用容量素子Cの一方の電極であるn型半導体領域5の少なくとも外周に(活性島領域内)沿って高不純物濃度のp型半導体領域を設けてもよい。このp型半導体領域は、少数キャリアに対するポテンシャルバリア領域を構成すると共に、pn接合容量を増加して情報となる電荷量を増加することができる。

また、本発明は、半導体基板以外の基板例えばサファイヤ基板やサイモック基板等に前記DRA

メモリセルアレイの要部平面図。

第2図は、前記第1図のI-I切断線及びII-II切断線で切った断面図。

第3図は、前記DRAMの要部等価回路図。

第4図乃至第12図は、前記DRAMを各製造工程毎に示す要部断面図。

第13図は、本発明の実施例IIであるDRAMのメモリセルアレイの要部等価回路図。

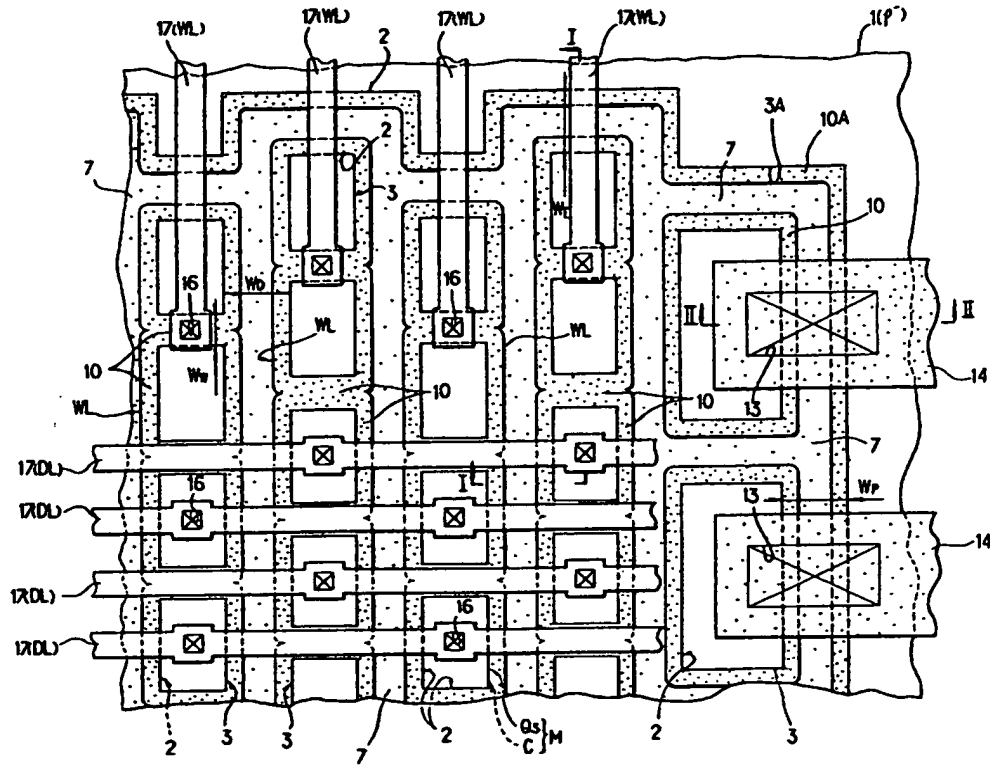
第14図は、前記DRAMの要部平面図。

第15図乃至第17図は、本発明の実施例IIIであるDRAMを各製造工程毎に示す要部断面図。

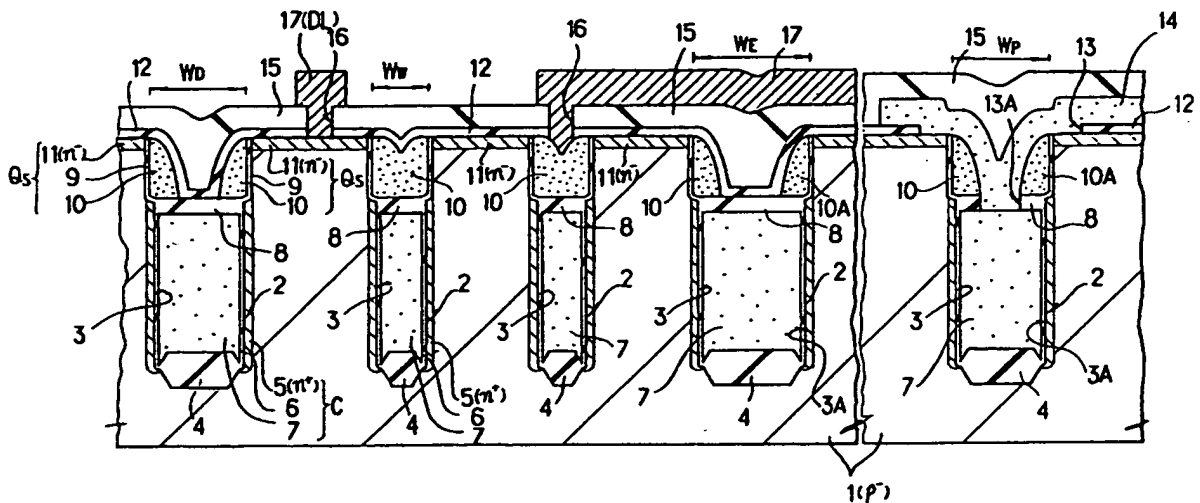
図中、1…半導体基板、2…細溝、3…活性島領域、4…素子間分離用絶縁膜、5、11…半導体領域、6…誘電体膜、7…プレート電極、8…絶縁膜、9…ゲート絶縁膜、10…ゲート電極又はワード線、14…電位供給用配線、17…相補性データ線又はワード線、M…メモリセル、Qs…メモリセル選択用MISFET、C…分離併合型情報蓄積用容量素子である。

代理人 井理士 秋田収喜

第 1 図

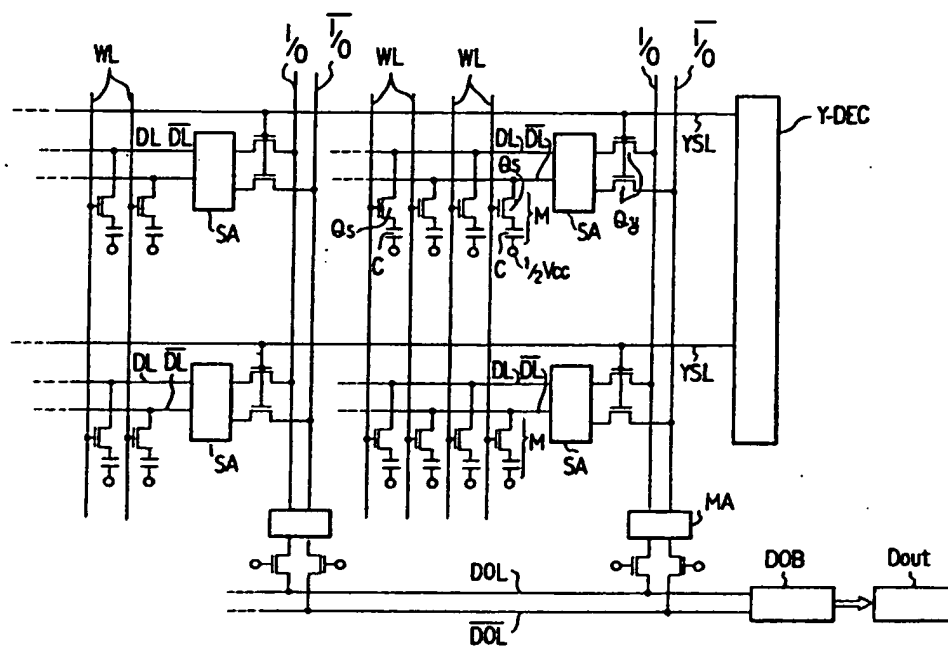


第 2 図

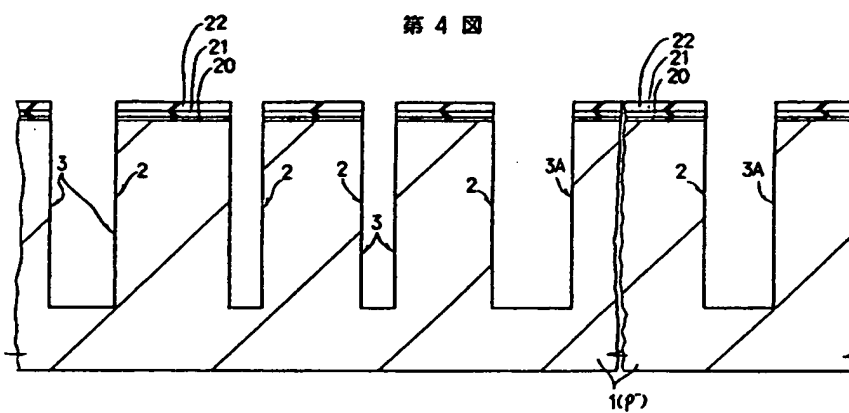


- | | |
|-------------|-------------------|
| 1…半導体基板 | 8…絶縁膜 |
| 2…細溝 | 9…ゲート絶縁膜 |
| 3…活性島領域 | 10…ゲート電極又はワード線 |
| 4…素子間分離用絶縁膜 | 17…相補性データ線又はワード線 |
| 5, 11…半導体領域 | M…メモリセル |
| 6…誘電体膜 | Qs…メモリセル選択用MISFET |
| 7…プレート電極 | C…分離併合型情報蓄積用容量素子 |

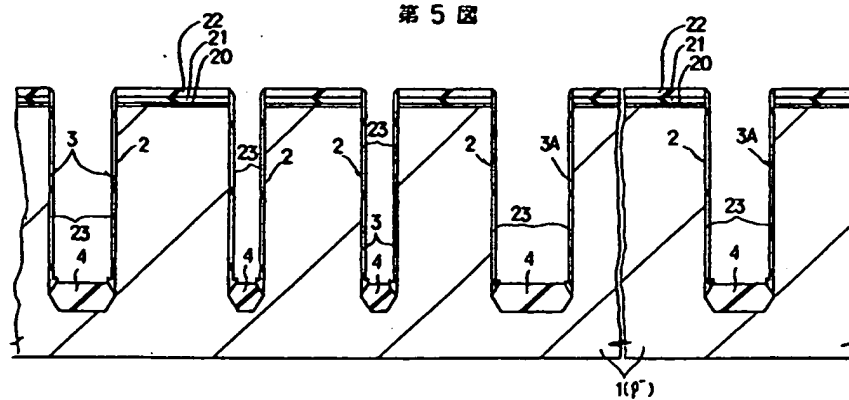
第 3 図



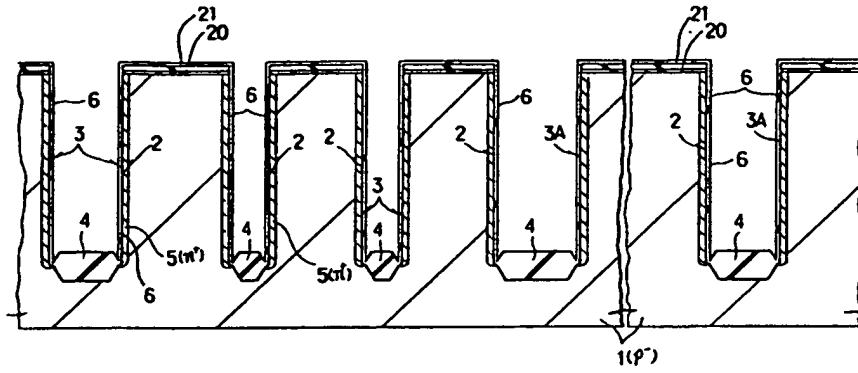
第 4 図



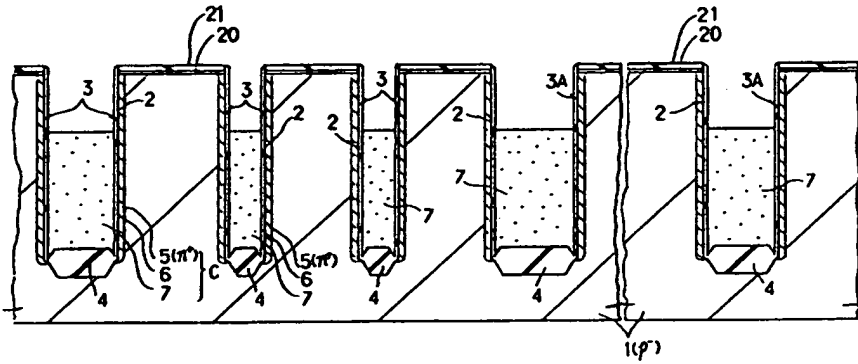
第 5 図



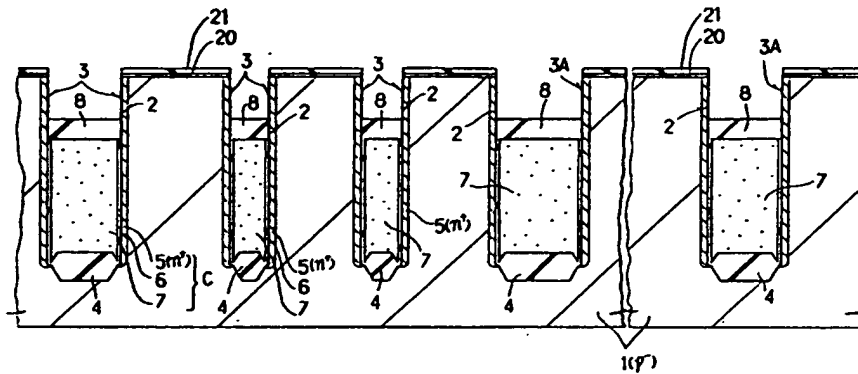
第 6 図



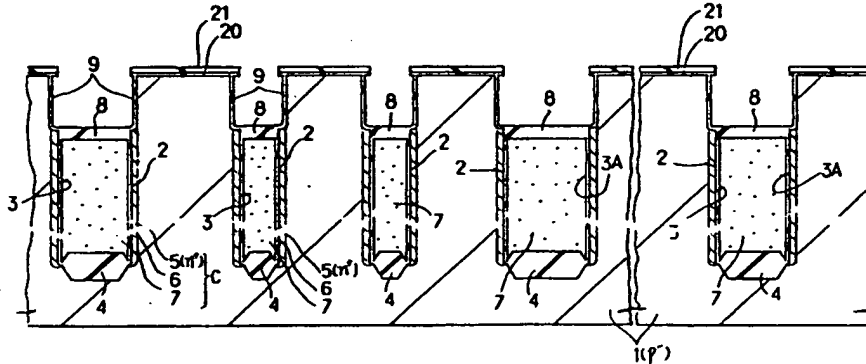
第 7 図



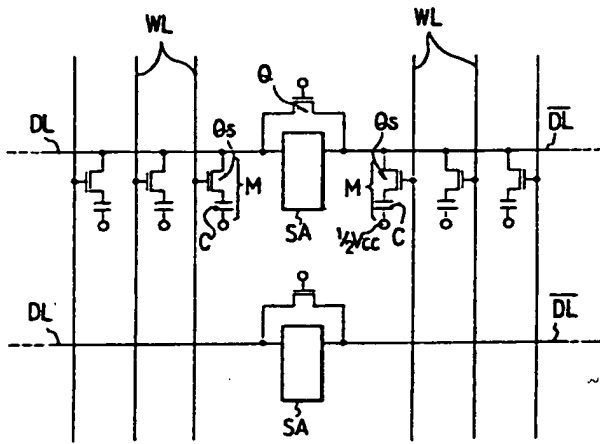
第 8 図



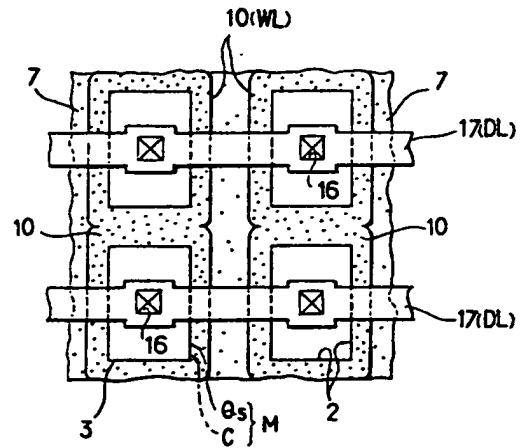
第 9 図



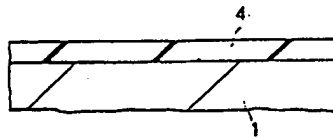
第13図



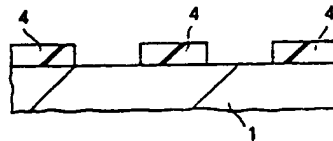
第14図



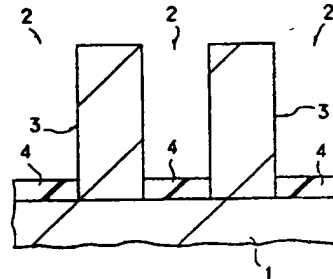
第15図



第16図



第17図



第1頁の続き

⑤Int. Cl.⁵

識別記号

庁内整理番号

// H 01 L 21/76

L

7638-5F

②発 明 者 諏 訪 内 尚 克

東京都青梅市今井2326番地 株式会社日立製作所デバイス
開発センタ内